

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

1c973 U.S. PTO

09/886225



06/21/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 12 月 14 日
Application Date

申請案號：089126697
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

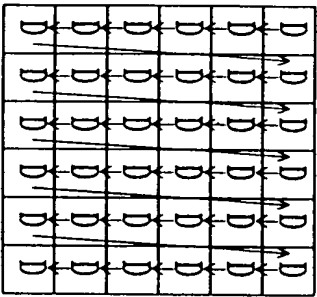
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

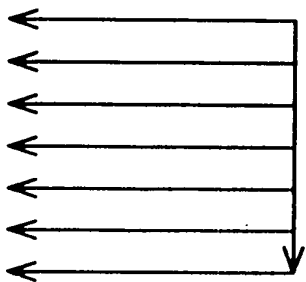
陳明邦

發文日期：西元 2000 年 12 月
Issue Date

發文字號：08911018672
Serial No.

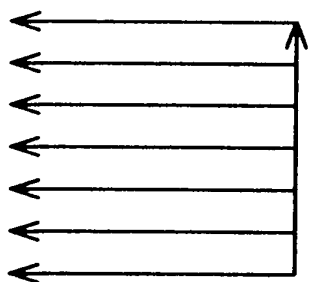


檢測示意

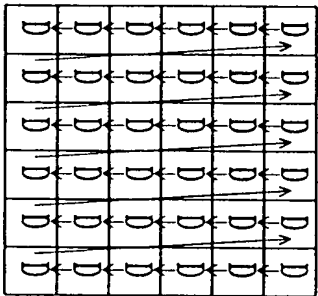


路徑示意

第八A圖



路徑示意



檢測示意

第八B圖

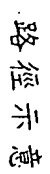
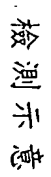
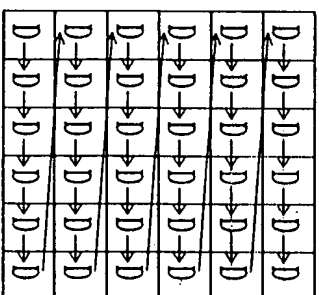
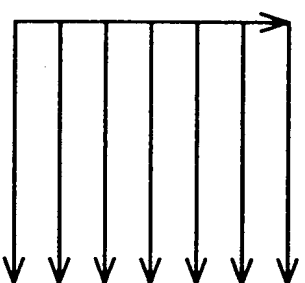


圖 A 九第

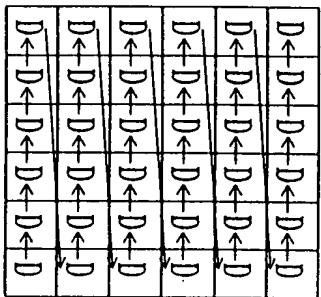


檢測示意

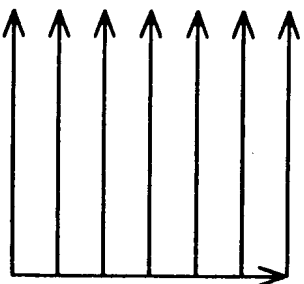


路徑示意

第六B圖

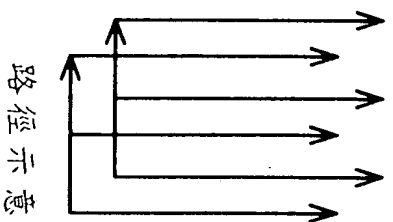


檢測示意



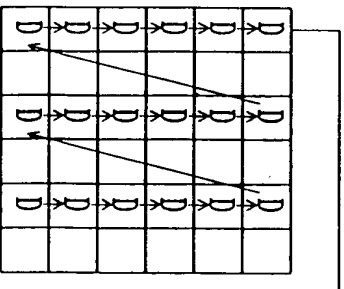
路徑示意

第七 B 圖

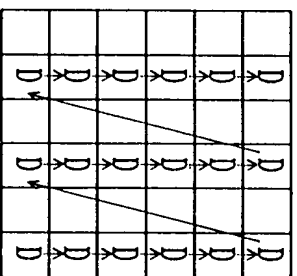


10

主要步驟

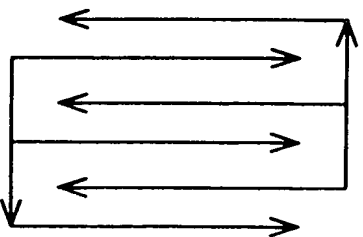
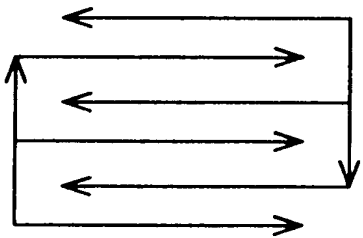
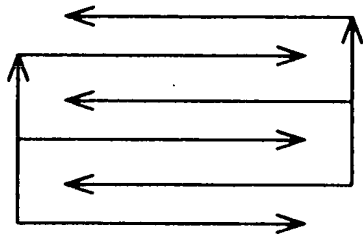
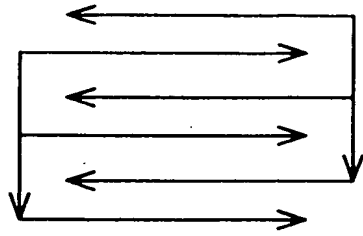
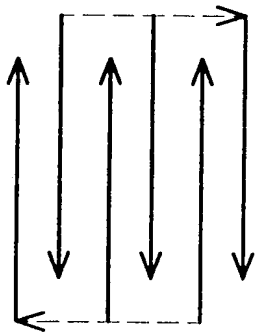
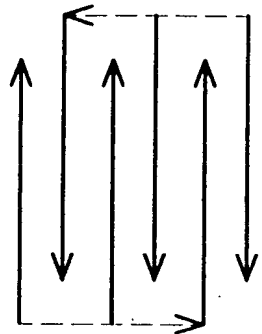
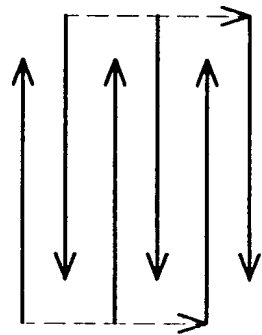
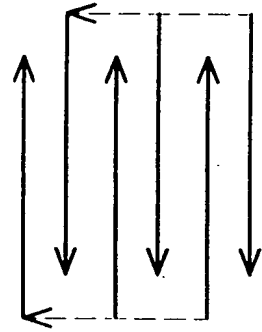


資料檢查步驟

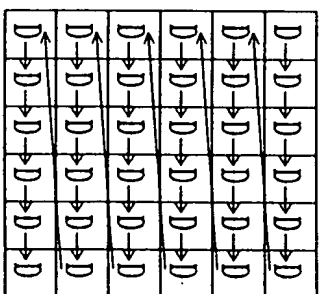


20

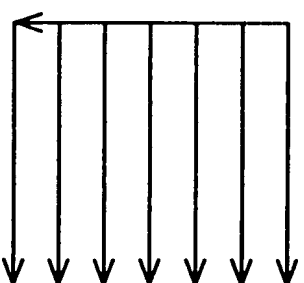
第四 B 圖



第五圖

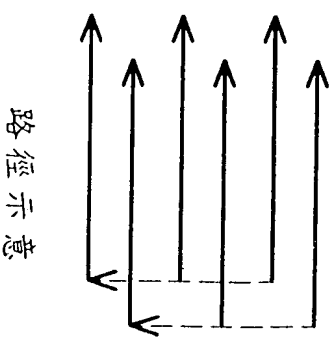
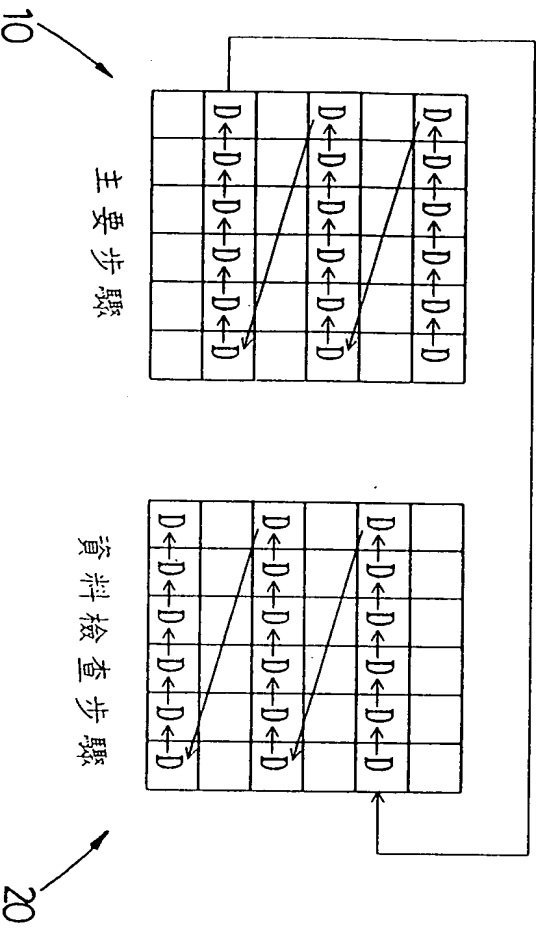


檢測示意

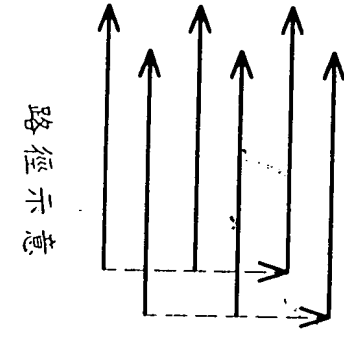


路徑示意

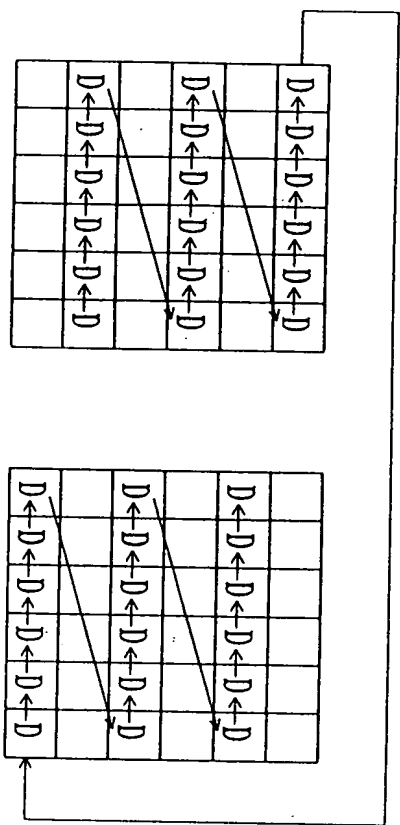
第六A圖



第二 A 圖



路徑示意



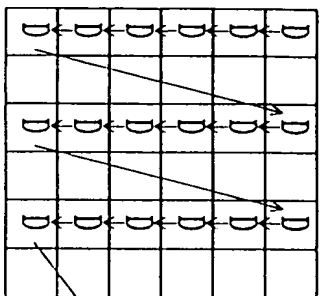
主要步驟

資料檢查步驟

10

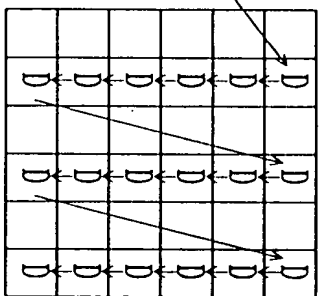
20

第二 B 圖



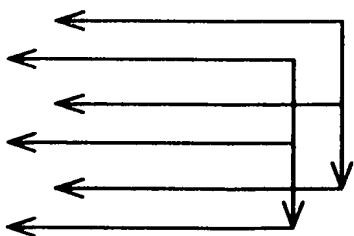
主要步驟

10



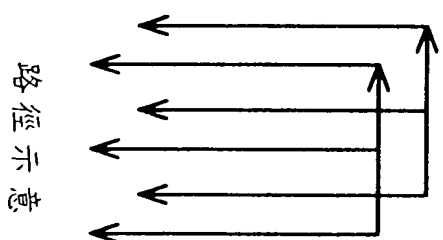
資料檢查步驟

20



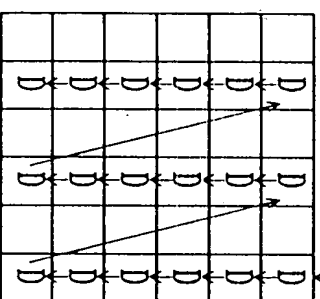
路徑示意

第三 A 圖



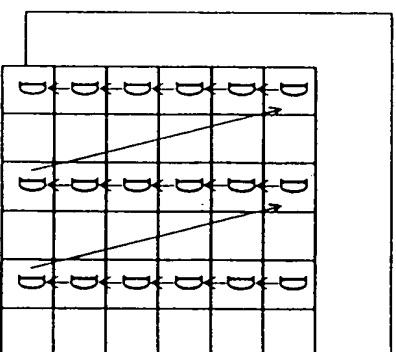
20

資料檢查步驟

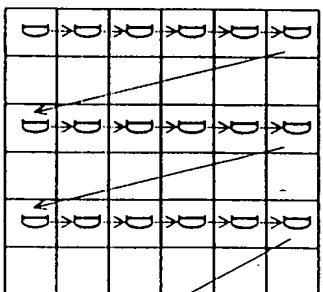


10

主要步驟

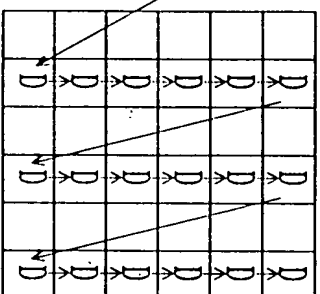


第三 B 圖



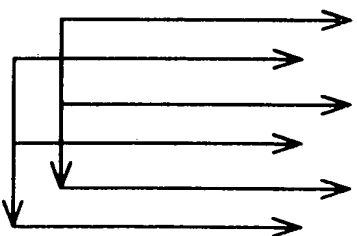
主要步驟

10



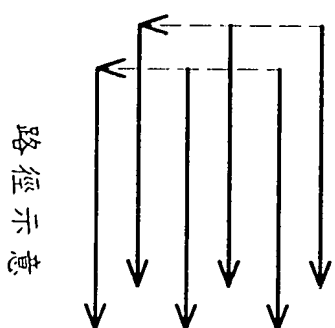
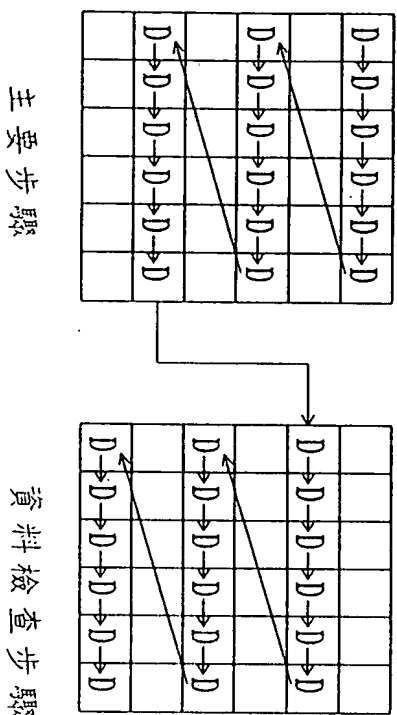
資料檢查步驟

20



路徑示意

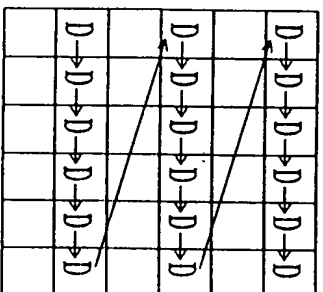
第四 A 圖



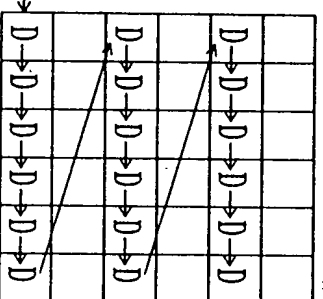
第一 A 圖

10

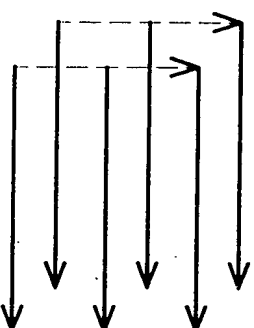
20



主要步驟



資料檢查步驟



路徑示意

10

20

第一 B 圖

五、發明說明(6)

行由左至右以及由上至下的順序檢查，而上述主要步驟及資料檢查步驟可在第一A圖右側之簡化圖清楚顯示出。

以第一A圖左側之主要步驟(10)的作業期間，由於以錯開方式觸發記憶體之奇數列，故而在偶數列的相應位置即依序受到電磁干擾作用，故而在實施第二道的資料檢查步驟(20)時，經讀取相應記憶單元時，即可令記憶體弱化問題浮現出，以如期地檢測出弱化的記憶體位置。

在第一B圖之實施例中，亦為先對奇數列進行資料存取更新等指令動作，再讀出偶數列的資料者，其間不同處僅在於採用由左至右以及由下至上的記憶體定址方式而已，亦可發揮相同的效果。

第二A、B圖為呈現與第一A、B圖之類似方式，不同處為由右至左的型態定址，第三A、B圖則改變為對奇數行(縱行)進行資料存取更新等指令動作，以及對偶數行進行檢查者，第四A、B圖為類似於第三A、B圖，不同處為由下至上方式順序定址者，此外，本發明亦可使用如第五圖所示之多種不同的定址方式，均屬可行的作法，而就本發明之記憶體錯開定址存取的檢測方法亦可發現，為僅對記憶體的定址方式改變而已，故而此檢測方法不僅適用於現今之DRAM，更可沿用至新一代的DDR-DRAM以及RDRAM架構上。

故以前述說明可知，本發明為提供一種有別於傳統連續性位址之定址檢測法，透過對記憶體以列或行為單位區

五、發明說明(7)

分，對奇數或偶數列或行施加存取更新等指令動作，透過施加存取更新等指令動作誘發訊號及產生的電磁干擾現象，以適度地影響未動作之相鄰列或行的記憶單元，使得原已可能呈衰弱的記憶單元更趨弱化，使其可在第二道資料檢查步驟而適時地檢測出，確為一符合新穎性及進步性之記憶體交錯檢測方法，應符專利申請要件，爰依法提出申請。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1．一種記憶體交錯檢測方法，為一供檢測出弱化記憶體的方法，包括：

一主要步驟，為至少包括一主要定址資料，並包含有執行的指令，以對記憶體之位址進行指令動作；

一資料檢查步驟，為包括一內含資料檢查指令之定址資料，至少一部份為互補於部份主要定址資料而進行資料檢查。

2．如申請專利範圍第1項所述之記憶體交錯檢測方法，其中在該主要步驟中，為對記憶體之互呈錯開的記憶體位址列(row)進行指令動作者。

3．如申請專利範圍第1項所述之記憶體交錯檢測方法，其中在該主要步驟中，為對記憶體之互呈錯開的記憶體位址行(column)進行指令動作者。

4．一種記憶體交錯檢測方法，為一供檢測出弱化記憶體的方法，為一具有一指令動作的測試程式，此測試程式包括：

至少一部份的主要定址資料；及

至少一部份的次要定址資料，此次要定址資料至少一部份為互補於該部份主要定址資料。

5．如申請專利範圍第4項所述之記憶體交錯檢測方法，其中該主要定址資料為具有指令動作。

6．如申請專利範圍第4項所述之記憶體交錯檢測方法，其中該次要定址資料為具有檢查指令。

7．一種記憶體交錯檢測方法，為一供檢測出弱化記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

憶體的方法，包括：

一存取步驟，為至少包括一主要定址資料，以對記憶體之奇（偶）數位址進行指令動作；

一檢查步驟，為至少包括一定址資料，並對未被存取步驟更動之記憶體偶（奇）數位址進行資料檢查。

8．如申請專利範圍第7項所述之記憶體交錯檢測方法，其中該位址為以列為單位者。

9．如申請專利範圍第7項所述之記憶體交錯檢測方法，其中該位址為以行為單位者。

10．如申請專利範圍第7項所述之記憶體交錯檢測方法，其中該檢查步驟為具有檢查指令。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型 名稱	中 文	記憶體交錯檢測方法
	英 文	
二、發明 創作 人	姓 名	李成材
	國 籍	中 華 民 國
	住、居所	新竹縣竹東鎮康莊街107巷22號
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中 華 民 國
	住、居所 (事務所)	新竹科學工業園區研新3路4號
	代 表 人 姓 名	焦佑鈞

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱：)

記憶體交錯檢測方法

本發明係關於一種記憶體交錯檢測方法，尤指一種可有效地檢測出弱化的記憶體之測試方法，此測試方法為改變傳統的連續位址的測試型態，而為一種交錯位址之測試型態，此交錯測試法為包括主要步驟以及一資料檢查步驟，主要步驟為提供一主要資料，以對記憶體的局部位址進行指令動作，如此，可令未被指令觸發之記憶體部位遭記憶體運作所誘發之電磁波干擾而呈弱化現象，其後，在資料檢查步驟時，則以互補方式對未被指令觸發之記憶體部位進行檢查，達到較確實地檢測出弱化的記憶體。

英文發明摘要(發明之名稱：)

五、發明說明 (/)

本發明係為一種記憶體交錯檢測方法，為一種供檢測出弱化記憶體的測試法，此方法為透過交叉資料存取方式，達到較確實地篩選出記憶體問題者。

按記憶體為電腦系統不可或缺的必要元件，其對系統之穩定與否有著決定性的影響，隨著記憶體容量及速度上不斷地增加，記憶體的製造技術已達 0.2 微米以下，供應電壓為低於 3.3 伏特，操作速度更在 133 MHz 以上，在此高密度、低操作電壓以及高操作頻率等因素下，導致記憶體相當敏感，容易因製程、外來訊號或內部產生的雜訊導致損壞或弱化(weaken)，而影響其穩定性，因此，如何在短時間內確實地篩選出記憶體弱化問題，即為測試工程師們有待努力解決的課題。

針對記憶體弱化或不穩定的問題上，以現今記憶體測試方式而論，有著無法確實檢測出的問題，以下即針現今記憶體測試型態予以說明之，一般記憶體測試程式概為透過對記憶體的指令接腳、位址接腳、輸出入接腳進行複雜的狀態設定及複雜的資料存取，藉以檢測出記憶體各元件的好壞，對於其資料存取方式上，例如：欲檢測記憶體某一字元線(W/L)(word line)的連續性時，可藉由一維型式的列存取圖案(row access pattern)對該特定字元線進行存取即可獲得，而欲檢測記憶體某一位元線(B/L)(bit line)的連續性時，則為透過一維型式的行存取圖案(column access pattern)對該特定的位元線進行存取者，此外，如 1991 年 A.J. van de Goor, John Wiley &

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

Sons 所著之“測試半導體記憶體”(Testing Semiconductor memory)一書，則揭露諸如二維的檢測板(Checkboard)、GALPAT、對角滑動(Sliding Diagonal)、蝴蝶測試圖案(Butterfly pattern)等方式，以提供較佳的錯誤檢測效果。

傳統方式雖然對記憶體有著多種不同的測試型態，然對記憶體的定址方式均大同小異，如第六A圖所示，在圖面左邊為以矩陣方式表示記憶體，每一格為表示一個記憶單元(cell)，圖面右邊為簡化方式表示定址的前後順序關係，第六A圖中，為採用先由左至右以及然後由上至下的連續定址方式，第六B圖則改採由下至上的定址型態，第七A、B圖則為顯示由右往左以及由上至下或由下至上之定址方式，第八A、B圖為揭露先由上至下以及由左往右或由右往左之定址型態，第九A、B圖為顯示由下至上以及由左往右或由右往左之記憶體定址態樣，然無論是採用前述何種記憶體定址方式，均為一種縱向或橫向之連續性的存取型態(讀、寫或更新)，此種一個位元接著一個位元的存取方式，即無法有效地檢測出記憶體弱化的問題，亦即，如第六A圖所示，於進行第一列(row)之由左往右的存取動作時，雖可由電磁干擾問題而導致下一列(row)呈現弱化現象，然而在第一列存取完成後即接著對第二列進行存取，此舉，令第二列原可能呈現弱化的元件因寫入、讀取或更新(refresh)的存取步驟而強化轉變為正常狀態，是以，前述連續性定址的測試方式，即無法有效地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

檢測出記憶體弱化的問題，故而傳統的記憶體測試方式有著不夠嚴謹及不盡確實的問題，確有加以改善之必要。

本發明之主要目的在於提供一種記憶體交錯檢測方法，為一種可較確實地檢測出記憶體弱化問題之記憶體測試方法。

本發明之次一目的在於提供一種記憶體交錯檢測方法，此檢測方法可適用於一般D R A M之外，亦可適用於新一代的D D R - D R A M以及R D R A M，提供寬廣的利用性。

本發明之又一目的在於提供一種記憶體交錯檢測方法，主要為以一主要步驟及一資料檢查步驟所構成，其中，在主要步驟中僅過對記憶體的局部（例如：偶數位址列（或行）或奇數位址列（或行））進行指令動作，其後之資料檢查步驟中，則為檢查在先前步驟中未被觸發之記憶體部位，以達到確實地檢測出記憶體是否有弱化問題，據以解決傳統測試方式不夠嚴謹及無法正確地地檢測出弱化元件的問題者。

本發明之更一目的在於提供一種記憶體交錯檢測方法，在主要步驟及資料檢查步驟中，只要令主要步驟及資料檢查步驟之記憶體位址互呈互補關係即可，可視需要進行由左至右、由右至左、由上至下或由下至上方向之順序定址者，令實際運用更具彈性者。

本發明之記憶體交錯檢測方法，為包括：

一主要步驟，為至少包括一主要資料，以對記憶體之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

位址列或行進行指令動作；

一資料檢查步驟，為至少包括一資料檢查之資料，對未被主要步驟所觸發之記憶體行或列進行檢查；

藉主要步驟中對特定之記憶體列或行進行存取之際，為對該未被存取之記憶體列或行造成電磁波干擾，使之弱化，而可在資料檢查步驟中以確實地篩選出者。

為使貴審查委員能夠進一步瞭解本發明之方法、特徵及其他目的，茲附以圖式詳細說明如后：

(一) · 圖式部份：

第一 A、B 圖：係本發明之第一實施例圖。

第二 A、B 圖：係本發明之第二實施例圖。

第三 A、B 圖：係本發明之第三實施例圖。

第四 A、B 圖：係本發明之第四實施例圖。

第五 A、B 圖：係本發明之其他實施例圖。

第六 A、B 圖～第九 A、B 圖：係習知記憶體定址方式之示意圖。

(二) · 圖號部份：

(10) 主要步驟

(20) 資料檢查步驟

本發明為提供一種可較確實地檢測出記憶體弱化問題之檢測方法，此方法可使用有別於傳統的連續性位址之定址存取方式，改採一種非連續而呈錯開的資料存取型態，而本發明的整個檢測方法係區分為至少兩部份，其一為主要步驟，另一為資料檢查步驟，在主要步驟中，為一執行指令之主要資料，此資料為先對記憶體的局部位址，例

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（ γ ）

如：奇數或偶數列（或行）進行由左至右或由右至左的：寫入、讀取或更新等指令動作，而在對前述所謂的奇數列（或行）進行存取之同時，使得未被存取之記憶體位址，例如：偶數列（或行）即受前述指令動作衍生之電磁波干擾而呈現弱化，其次，為進行資料檢查步驟，此步驟為提供包含檢查指令可對未遭主要步驟觸發之位址，例如：記憶體的偶數列（或行）進行檢查，如此，即可輕易地檢測出弱化的元件的所在位置，據以提供可較確實地檢驗出記憶體弱化之測試方法者。

關於本發明之實際測試方式上，只要可對記憶體進行錯開方式存取即可，未有額外的限制，亦即有著多種不同的實施態樣，以下即依次說明之，如第一 A 圖所示，為本發明之記憶體交錯檢測方法之第一實施例，為達便於瞭解之故，圖面左邊及中間位置為分別顯示本發明之主要步驟（10）以及資料檢查步驟（20）之記憶體存取之流向及順序關係，並以箭頭表示流向，圖面中以“D”表示作用的位置，而圖面右側為以簡化方式顯示動作順序，故而在第一 A 圖中，在主要步驟（10）中為依序對記憶體的奇數列（1、3、5...）進行由左至右以及由上至下的指令動作，此指令動作為包括：寫入、讀取或更新等，此等動作會誘發記憶體內部電路動作，並衍生電磁波干擾，於上述主要步驟（10）完成後，則在資料檢查步驟（20）中，則以互補於前述主要步驟之未被存取之記憶體列，即圖面中間位置之偶數列（2、4、6...）進